A method and apparatus for clock recovery.

Patent Number: EP0569179
Publication date: 1993-11-10
Inventor(s): BANU MIHAI (US); DUNLOP ALFRED EARL (US)
Applicant(s):: AMERICAN TELEPHONE & TELEGRAPH (US)
Requested Patent: JP6053950
Application Number: EP19930303233 19930426
Priority Number(s): US19920880428 19920508
IPC Classification: H03L7/08
EC Classification: H03L7/08E ; H04L7/033
Equivalents: US5237290

Abstract

A method and apparatus for recovering the phase of a signal (403) which may change at periodic intervals is disclosed which comprises gated variable frequency oscillators (405,411). These results are obtained in an illustrative embodiment of the present invention in which an incoming signal (403) is fed into a gated oscillator (405) and the complement of the incoming signal is fed into a matching gated oscillator (411). Advantageously, the respective outputs of the two oscillators are fed into a Boolean NOR gate (417). When the gated oscillators are designed to oscillate at the frequency of the incoming signal, the output waveform will have a bounded phase relationship with respect to the incoming signal.

Data supplied from the **esp@cenet** database - I2

Best Available Copy

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平6－53950

(43)公開日　平成6年(1994)2月25日

(51)Int.Cl.[5]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｈ０４Ｌ　7/027				
		7928－5Ｋ	Ｈ０４Ｌ　7/02	Ａ

審査請求　未請求　請求項の数10(全 18 頁)

(21)出願番号　特願平5－130098

(22)出願日　平成5年(1993)5月7日

(31)優先権主張番号　８８０４２８

(32)優先日　1992年5月8日

(33)優先権主張国　米国（ＵＳ）

(71)出願人　390035493
アメリカン テレフォン アンド テレグラフ カムパニー
AMERICAN TELEPHONE AND TELEGPAPH COMPANY
アメリカ合衆国 10013－2412 ニューヨーク ニューヨーク アヴェニュー オブ アメリカズ 32

(74)代理人　弁理士　三俣　弘文

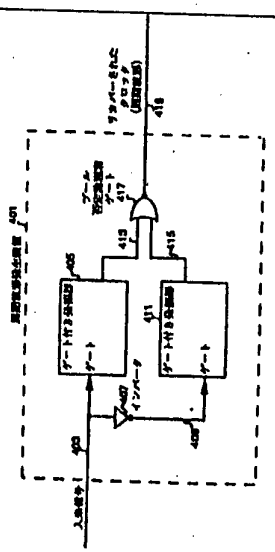
最終頁に続く

(54)【発明の名称】　周期信号生成方法及びその装置

(57)【要約】

【目的】　入来信号と位相隣接関係にある周期信号（クロック）を効率よく、正確且つ迅速に取り出すための周期信号生成方法及び装置を提供する。

【構成】　周期間隔で状態が変化する入来信号４０３の一部を、ゲート付きの第１の発振器４０５に供給して第１の振動信号４１３を発生させ、この入力信号を補完する入来信号の残り部分を、インバータ４０７を経て、第１の発振器にマッチするゲート付きの第２の発振器４１５に供給して第２の振動信号４１５を発生させ、これら第１及び第２の発振信号出力をプール否定論理和ゲート４１７に供給して入力信号に関して位相隣接関係にある周期信号４１９を生成する。第１及び第２の発振信号の周波数を入力信号の周波数に合わせることによって、プール否定論理和ゲートの出力として、入力信号に関して位相隣接関係にある周期信号が得られる。



【特許請求の範囲】

【請求項１】　入力信号に関して位相隣接関係にある周期信号の生成方法であって、
第１のしきい値より高い前記入力信号に対して作動して、第１の振動信号を発生させるステップと、
第１のしきい値より低い前記入力信号に対して作動して、第２の振動信号を発生させるステップと、
前記第１の振動信号と前記第２の振動信号とに基づいて前記周期信号を発生させるステップと、
からなることを特徴とする、入力信号に関して位相隣接関係にある周期信号の生成方法。

【請求項２】　前記方法において、
前記周期信号を発生させる前記ステップが、前記第１の振動信号と前記第２の振動信号とのプール否定論理和を形成するステップからなる、
ことを特徴とする請求項１の方法。

【請求項３】　前記方法において、
前記周期信号を発生させる前記ステップが、前記第１の振動信号と前記第２の振動信号とのプール否定論理積を形成するステップからなる、
ことを特徴とする請求項１の方法。

【請求項４】　前記方法が更に、
基準周期波形の周波数に一致するように前記第１の振動信号の周波数と前記第２の振動信号の周波数とを調整するステップからなる、
ことを特徴とする請求項１の方法。

【請求項５】　前記方法において、
前記第１の振動信号の周波数と前記第２の振動信号の周波数とを調整するために位相固定ループを用いる、
ことを特徴とする請求項４の方法。

【請求項６】　入力信号に関して位相隣接関係にある周期信号を生成するための装置であって、
第１のしきい値より高い前記入力信号に対して作動して、第１の振動信号を発生させるための手段（４０５）と、
第１のしきい値より低い前記入力信号に対して作動して、第２の振動信号を発生させるための手段（４１１）と、
前記第１の振動信号と前記第２の振動信号とに基づいて前記周期信号を発生させるための手段（４１７）と、
からなることを特徴とする、入力信号に関して位相隣接関係にある周期信号を生成するための装置。

【請求項７】　前記装置において、
前記周期信号を発生させるための前記手段がプール否定論理和ゲート（４１７）からなる、
ことを特徴とする請求項６の装置。

【請求項８】　前記装置において、
前記周期信号を発生させるための前記手段がプール否定論理積ゲートからなることを特徴とする請求項６の装置。

【請求項９】　前記装置が更に、
基準周期波形の周波数に一致するように前記第１の振動信号の周波数と前記第２の振動信号の周波数とを調整するための手段（８４１）からなる、
ことを特徴とする請求項６の装置。

【請求項１０】　前記装置が更に、
基準周期波形の周波数に一致するように前記第１の振動信号の周波数と前記第２の振動信号の周波数とを調整するための位相固定ループ（８４１）からなる、ことを特徴とする請求項６の装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、概略的にはアナログ及びディジタルの回路に関し、詳しくは入力信号に関して位相隣接関係にある周期信号（例えばクロック信号）を発生させる回路に関する。

【０００２】

【従来の技術】図１に示すような一般的な通信システムは、情報搬送信号を送る送信装置１０１と、この信号の伝送経路となる通信チャンネル１０３と、この信号を受ける受信装置１０５とから構成される。これらの信号が離散値（例えば、≦０．８Ｖ、及び≧３．５Ｖ）のみで定義される場合、一般に「ディジタル信号」と称する。これと対照的に、与えられた範囲内の値によって連続的に定義される信号を「アナログ信号」と称する。

【０００３】通常、ディジタル信号は特定の順序で逐次伝送される。すなわち、各信号は一定の時間量について、正確に定義された時間間隔中に伝送される。この時間間隔は一般にその送信装置について、当業者に「クロック信号」として知られている電子メトロノームによって定義される（クロック信号を以下、「クロック」という）。クロックは一般に水晶発振器によって発生し、一定周波数及び５０％のデューティサイクルを有する電気的な矩形波の形を取る。図２の２０１に、クロックの波形例を示す。

【０００４】クロックの各サイクルの始まりと共に１つのクロック期間が終り且つ１つの信号の送信が終り、同時に次のクロック期間が始まり且つ次の信号の送信が始まる。図２の２０７に、情報搬送信号についての一般波形の例を、時間軸に対して、又クロック２０１に関連して示す。

【０００５】周知のように、キャパシタンス、インダクタンス、及びその他の寄生効果があるため、情報搬送信号は導線上で、定義された１つの値から別の値に瞬時に変わることができない。したがって、この信号は移行期間中不確定な値を取る。図２の２１３に、例示の波形２０７についての論理値「０」から論理値「１」への移行期間を示す。

【０００６】受信装置が確実に入来信号を正しく解釈できるようにするには、受信装置が入来信号を読み動作

を、入来信号が安定したときにのみ行い移行段階では行わないという選択的処理を行わなければならない。このためには、入来信号が何時安定していて何時安定していないかを知る必要がある。これに対して、受信装置にも入来信号に同期する電子メトロノームがあって、このメトロノームが「今読め、待て、今読め、待て、今読め、待て．．．」というように命令を与えるような状態にあると有利である。

【０００７】受信装置は一般に、送信装置のクロックの周波数についての情報と、この周波数と同じ周波数のクロックとを有する。しかし、受信装置のクロックは入来信号との間に位相についての関係がないので、入来信号を読み助けになる同期メトロノームもないことになる。入来信号に同期したクロックを発生させるには、受信装置が「クロック取り出しシステム」（クロック・リカバリー・システム）を利用するようにすると有利である。

【０００８】入来信号の位相の識別、「取り出し」（リカバリー）は、クロック・リカバリー・システムによって行われる。図３に、入来信号を正しく読んで、伝送情報を抽出するために受信装置においてクロック・リカバリー・システムがどのように用いられるかを示す。導線３０１上を入来した入来信号（又は単に入来信号３０１）は、クロック・リカバリー・システム３１１に供給されて、導線３１３上に周期波形信号すなわち「取り出された（リカバーされた）クロック」を発生させる。

【０００９】入来信号３０１は又、オプションとして遅延装置３０３において遅延処理をされた上で出力され導線３０５上をデータ抽出装置３０７に配分される。導線３１３上の周期波形信号（又は単に周期波形信号３１３）と導線３０５上の信号（または単に信号３０５）とはデータ抽出装置３０７において処理されて、導線３０９上に出力を発生させる。

【００１０】データ抽出装置３０７は、周知のマスター・スレーブＤフリップフロップのような簡単なものでよく、この場合、信号３０５がフリップフロップのＤ入力端子に、周期波形信号３１３がフリップフロップのクロック入力端子に、そして導線３０９上の出力（出力３０９）がフリップフロップのＱ出力端子に、それぞれ接続される。

【００１１】

【発明が解決しようとする課題】クロック・リカバリー技術としては現在少なくとも２種類の技術が知られている。第１の技術においては、送信装置のクロックは、入来信号を伝送するチャンネルに並行する通信チャンネル上を受信装置に伝送される。これで受信装置は、送信装置のクロックの位相から入来信号の位相を推定することができる。しかしこの技術は別のハードウエア（すなわち余分な通信チャンネル）の追加を必要とし、又送信されたクロックと入来信号との間に位相ずれが生じやすいという欠点がある。

【００１２】これに対して、クロック・リカバリーの第２の技術においては、入来信号がその位相の識別に必要とされる情報を搬送していることに基づいて、入来信号そのものから直接に入来信号の位相のリカバリーを行う。入来信号の位相の直接リカバリーを行う技術としては、少なくとも２つの技術が知られている。

【００１３】そのうち一方の技術は、閉ループ形クロック・リカバリー・システムで、その代表例がドロスほか（Ｉ．Ｄｏｒｒｏｓ ｅｔ ａｌ．）の論文「実験的２２４Ｍｂ／ｓディジタル中継器付き同線」（ベルシステム技術ジャーナル、第４５巻、第７号、９９３－１０４３ページ（１９６６年９月）に述べられている。

【００１４】閉ループ形クロック・リカバリー・システムは、高Ｑ低バンドパスフィルタ（例えばＳＡＷフィルタ）を有するのが特徴であるが、高価な非集積構成部品を一般的に必要とし、入来信号が定常状態に達するまでに移行状態を数百回も経なければならず、又温度変化及び経過時間の影響を受けやすいという欠点がある。

【００１５】入来信号の位相の直接リカバリーを行うもう一方の技術は、閉ループ形クロック・リカバリー・システムで、その代表例がコーデルほか（Ｒ．Ｒ．Ｃｏｒｄｅｌｌ ｅｔ ａｌ．）の論文「５０ＭＨｚ位相及び周波数固定ループ」（ＩＥＥＥ固体回路ジャーナル、第ＳＣ－１４巻、第６号、１００３－１０１０ページ（１９７９年１２月）に述べられている。

【００１６】閉ループ形クロック：リカバリー・システムは、位相を入来信号の位相に固定（ロック）しようとする位相固定ループを特徴とする。この閉ループ形システムは、自己調整機能を有し（したがって温度の影響及び時間効果が軽減される）又容易に集積構造とすることができるが一方、入来信号が定常状態に達するまでに移行状態を数百回も経なければならないという欠点がある。

【００１７】これらのクロック・リカバリー機構は音声通信を搬送する信号については満足する結果が得られるが、非音声情報を搬送する信号には不利である。

【００１８】本発明の目的は、従来の方法及び装置に付随するコストと制約との多くを回避できる信号位相リカバリー方法及び装置を提供することにあり、具体的には、単一の集積回路構造を採用するのに理想的であり且つ、一般に、従来の技術による方法よりも速く「リカバーされたクロック」を発生させる（すなわち入来信号の位相をリカバーする）ことができるような信号位相リカバリー方法及び装置を提供することにある。

【００１９】

【課題を解決するための手段】上記の目的を達成する方法及び装置は、入来信号（入力信号）の一部をゲート付きの第１の発振器に供給して第１の振動信号を発生させ、この入力信号を補完する残り部分を、第１の発振器にマッチするゲート付きの第２の発振器に供給して第２の振動信号を発生させ、これら第１及び第２の発振信号出力をプール否定論理和ゲートに供給して入力信号に関して位相隣接関係にある周期信号を生成する方法及び装置である。

【００２０】第１及び第２の発振信号の周波数を入力信号の周波数に合わせることによって、プール否定論理和ゲートの出力として、入力信号に関して位相隣接関係にある周期信号が得られる。

【００２１】

【実施例】１．定義

位相隣接関係：２つの周期波形が同一の周波数を有し且つこれら波形の相対位相が与えられた範囲内に留まる場合に、これら２つの周期波形は「位相隣接関係にある」という。

【００２２】２．ゲート付き発振器を用いた実施例：図４に、本発明の一実施例のブロック図を示す。この実施例としての周期波形発生装置は、導線４０３上を入来した入来信号（又は単に、入来信号４０３）を入力として受け入れる。この入来信号４０３は、送信装置１０１（図１）において既知の周波数のクロックによって定義される周期間隔においてその状態が変化するような特性を有する。一般的な入来信号を図７の７０１に示す。

【００２３】入来信号４０３は、ゲート付き発振器４０５のゲートに供給されるとともにインバータ４０７にも供給される。ゲート付き発振器４０５の出力は導線４１３上をプール否定論理和ゲート４１７に供給される。インバータ４０７の導線４０９への出力は、ゲート付き発振器４１１のゲートに供給される。ゲート付き発振器４１１の導線４１５へのの出力もプール否定論理和ゲート４１７に供給される。

【００２４】プール否定論理和ゲート４１７の導線４１９への出力は、周期波形信号（すなわちリカバーされたクロック）で、受信装置が入来信号を適切に読むために用いられる。入来信号の波形７０１に対応する一般的な「リカバーされたクロック」を図７の７１７に示す。

【００２５】図示の実施例の顕著な特徴は、１対のゲート付き発振器４０５、４１１を有することで、これらのゲート付き発振器は各々、与えられた周波数（具体的には送信装置のクロックと同じ周波数）で振動信号を発生させることができる。

【００２６】利点として、これらのゲート付き発振器は各々、その入力電圧が第１のしきい値電圧より高いときには信号を出力せず、その入力電圧が第２のしきい値電圧より低いときには周期波形を出力する。又別の利点として、これらのゲート付き発振器は各々、その入力電圧がこの第２のしきい値電圧より低くなるたびに、その振動サイクル中の同じ箇所で発振を開始する。

【００２７】ゲート付き発振器の一例についての論理概略図及びトランジスタの概略図を図５の５０５及び５１１並びに図６の６０５及び６１１にそれぞれ示す。図６のトランジスタの概略図においてはＣＭＯＳ技術が用いられているが、回路をこれ以外の個別回路技術及び集積回路技術両方又はいずれかを用いて構成する方法については、本技術分野の通常の当業者には容易に考えられるものであり、これは電気的又は光学的のいずれを問わない。

【００２８】図４の実施例は、利点として、インバータ４０７及びプール否定論理和ゲート４１７を有する。インバータについての論理概略図及びトランジスタの概略図を図５の５０７及び図６の６０７にそれぞれ示す。

又、プール否定論理和ゲートについての論理概略図及びトランジスタの概略図を図５の５１７及び図６の６１７にそれぞれ示す。

【００２９】図６のトランジスタの概略図においてはＣＭＯＳ技術が用いられているが、回路をこれ以外の個別回路技術及び集積回路技術の両方又はいずれかを用いて構成する方法については本技術分野の通常の当業者には容易に考えられるものであり、これは電気的又は光学的のいずれを問わない。

【００３０】図４の回路は次のように作動する（図７も参照）。回路の電源が入り、入来信号４０３の位相が変ると、入来信号電圧が第１のしきい値電圧より高い場合には、ゲート付き発振器４０５は発振せず、平らな（プール論理値「０」）波形７１３を出力する。しかし、このような状態においてゲート付き発振器４１１は、位相ゼロで発振を開始し波形７０９を出力する。

【００３１】図４の回路は、どの時点においてもゲート付き発振器４０５及び４１１のうちのどちらか一方だけが作動してパルスシーケンスを作り出すように構成されている。各発振器は又、その入力信号レベルが第１のしきい値よりも上の値から第２のしきい値よりも下の値へ変化した場合に、発振を終止する。逆に、各発振器の入力レベルが第３のしきい値よりも下の値から第４のしきい値よりも上の値へ変化した場合には、発振器は即座に位相ゼロで発振を開始する。

【００３２】インバータ４０７があるため、どの時点においてもゲート付き発振器４０５及び４１１のうちのどちらか一方だけがその起動しきい値電圧より低い電圧の入力信号を供給されるものと仮定する。

【００３３】回路の電源が入り、入来信号４０３の位相が変わると、入来信号電圧が第２のしきい値電圧より低い場合には、ゲート付き発振器４１１がアイドル状態である一方、ゲート付き発振器４０５は位相ゼロで発振を開始する（図７の７０９及び７１１をそれぞれ参照）。入来信号４０３において、高い方から低い方へ、又は低い方から高い方への電圧移行が発生すると、振動サイクル中の正確に同一点において一方の発振器がアイドル状態になるとともに他方の発振器が発振を開始する。

【００３４】図４に示すように、ゲート付き発振器４０５及び４１１のそれぞれの出力はプール否定論理和ゲー

ト４１７に供給される。そして、プール否定論理和ゲート４１７の出力は、図７の７１７に示す周期波形となり、入来信号７０１（図７）からの抽出情報として用いられる。尚、プール否定論理和ゲート４１７の代わりにプール否定論理積ゲート等の他の論理素子を用いる手法は、本技術分野の通常の当業者には容易に考えられるものである。

【００３５】又、ここに説明した機能と同一の機能を行う別の回路の設計手法についても、本技術分野の通常の当業者には容易に考えられるものである。

【００３６】３．間接周波数調整を用いた実施例：図８は、上に述べた形式の発振器の周波数調整を行うための手段を有する本発明の実施例を示すブロック図である。この実施例としての周期波形発生装置は、導線８０３上を入来した入来信号（又は単に、入来信号８０３）を入力として受け入れる。この入来信号８０３は、送信装置１０１（図１）において既知の周波数のクロックによって定義される周期間隔でその状態が変化するような特性を有する。

【００３７】実質上全ての点において、図８の実施例は図４の実施例と同様に作動する。その上、図８の実施例においては、位相固定ループ８４１を用いて間接的に周波数調整を行う。

【００３８】図８の実施例は、半導体メーカーが図４の実施例をそのメーカーの許容寸法範囲以内に製作することが困難な場合に有利である。図８の実施例は、単一の集積回路上に製作されるので、図４の実施例よりも製作上の許容寸法範囲についての面倒が少ないという利点がある。

【００３９】導線８０３上を入来した入来信号（又は単に、入来信号８０３）は、ゲート付き可変周波数発振器８０５（以下、可変発振器、と略称）のゲートとインバータ８０７とに供給される。可変発振器８０５の出力は導線８１３上をプール否定論理和ゲート８１７に供給される。インバータ８０７の導線８０９への出力は、可変発振器８１１のゲートに供給される。可変発振器８１１の導線８１５への出力もプール否定論理和ゲート８１７に供給される。

【００４０】プール否定論理和ゲート８１７の導線８１９への出力は、周期波形信号（すなわちリカバーされたクロック）で、受信装置が入来信号を適切に読むために用いられる。入来信号８０３に対応する一般的な「リカバーされたクロック」を図７の７１７に示す。

【００４１】一般的な動作において、位相固定ループ８４１は、基準周期波形８３１を受けて、周波数調整信号を導線８３０上で可変発振器８０５及び８１１のそれぞれの制御入力端子に送る。図８の実施例の位相固定ループ８４１は、可変発振器８２３、カウンタ８２５（オプション）、位相検出器８２７、及びループフィルタ８２９から構成される。位相固定ループの設計及び動作は、本技術分野の当業者に周知である。

【００４２】図示の実施例の顕著な特徴は、３個組の可変発振器８０５、８１１、及び８２３で、これらの可変発振器は各々、与えられた周波数（具体的には送信装置のクロックと同じ周波数）で振動信号を発生させるように周波数を調整することができる。各可変発振器の制御入力端子に供給された信号によって、その可変発振器が発振すべき周波数が指示される。

【００４３】利点として、これらの可変発振器は各々、その入力電圧が第１のしきい値電圧より高いときには信号を出力せず、その入力電圧が第２のしきい値電圧より低いときには周期波形を出力する。又別の利点として、これらの可変発振器は各々、その入力電圧がこの第２のしきい値電圧より低くなるたびに、その振動サイクル中の同じ箇所で発振を開始する。

【００４４】更に利点として、各可変発振器は、正確に同一の電気的及び物理的特性を有するように構成されている。可変発振器８２３のゲート入力端子は、確実に連続的発振ができるように接地されているので有利である。

【００４５】可変発振器についての論理概略図及びトランジスタの概略図を図９の９０１及び９０２にそれぞれ示す。図９のトランジスタの概略図においてはＣＭＯＳ技術が用いられているが、回路をこれ以外の個別回路技術及び集積回路技術両方又はいずれかを用いて構成する方法については、本技術分野の通常の当業者には容易に考えられるものであり、これは電気的又は光学的のいずれを問わない。

【００４６】図８の符号８２７に示すような位相検出器についての論理概略図及びトランジスタの概略図を図１０の１００１及び１００３にそれぞれ示す。位相検出器を、他の個別回路技術及び集積回路技術の両方又はいずれかを用いて構成する方法については、本技術分野の通常の当業者には容易に考えられるものであり、これは電気的又は光学的のいずれを問わない。

【００４７】図８の符号８２９に示すようなループフィルタについての概略図を図１１に示す。ループフィルタは、可能な限り、信号の直流成分だけが減衰せずに通過でき、直流を除く全ての周波数成分ができるだけ多く減衰するように設計する必要がある。ループフィルタを、他の個別回路技術及び集積回路技術の両方又はいずれかを用いて構成する方法については、本技術分野の通常の当業者には容易に考えられるものであり、これは電気的又は光学的のいずれを問わない。

【００４８】図８の実施例は、利点として、インバータ８０７及びプール否定論理和ゲート８１７を有する。インバータについての論理概略図及びトランジスタの概略図を図５の５０７及び図６の６０７にそれぞれ示す。又、プール否定論理和ゲートについての論理概略図及びトランジスタの概略図を図５の５１７及び図６の６１７にそれぞれ示す。

【００４９】図６のトランジスタの概略図においてはＣＭＯＳ技術が用いられているが、回路をこれ以外の個別回路技術及び集積回路技術の両方又はいずれかを用いて構成する方法については本技術分野の通常の当業者には容易に考えられるものであり、これは電気的又は光学的のいずれを問わない。又、ここに説明した機能と同一の機能を行う別の回路の設計手法についても、本技術分野の通常の当業者には容易に考えられるものである。

【００５０】図８の回路において、位相固定ループ８４１は、可変発振器８０５及び８１１の発振周波数を調整し、基準周期波形８３１によって定められる周波数で発振が行われるようにする。尚、可変発振器８０５又は８１１から位相固定ループ８４１へのフィードバックはない。

【００５１】そして、位相固定ループ８４１は、位相固定ループ８４１内の可変発振器８２３の動作に影響を与える電気的及び物理的特性が可変発振器８０５及び８１１の動作に影響を与える電気的及び物理的特性と実質的に同一であるとの仮定に基づいて、可変発振器８０５及び８１１の発振周波数の調整を行う。したがって、可変発振器８０５、８１１、及び８２３に実質的に同一の電気的及び物理的特性（例えば、レイアウト、電圧等）を持たせて単一集積回路上に製作すると有利である。

【００５２】図８の回路は次のように作動する。回路の電源が入り、入来信号８０３の位相が変ると、入来信号電圧が第１のしきい値電圧より高い場合には、可変発振器８０５は発振せず、平らな（プール論理値「０」）波形７１３（図７）を出力する。しかし、このような状態において可変発振器８１１は、位相ゼロで発振を開始し波形７０９を出力する。

【００５３】図８の回路は、どの時点においても可変発振器８０５及び８１１のうちのどちらか一方だけが作動してパルスシーケンスを作り出すように構成されている。各可変発振器は又、その入力信号レベルが第１のしきい値よりも上の値から第２のしきい値よりも下の値へ変化した場合に、発振を終止する。逆に、各可変発振器の入力レベルが第３のしきい値よりも下の値から第４のしきい値よりも上の値へ変化した場合には、可変発振器は即座に位相ゼロで発振を開始する。

【００５４】インバータ８０７があるため、どの時点においても可変発振器８０５及び８１１のうちのどちらか一方だけがその起動しきい値電圧より低い電圧の入力信号を供給されるものと仮定する。

【００５５】回路の電源が入り、入来信号８０３の位相が変わると、入来信号電圧が第２のしきい値電圧より低い場合には、可変発振器８１１がアイドル状態である一方、可変発振器８０５は位相ゼロで発振を開始する（図７の７０９及び７１１をそれぞれ参照）。入来信号８０３において、高い方から低い方へ、又は低い方から高い方への電圧移行が発生すると、振動サイクル中の正確に同一点において一方の発振器がアイドル状態になるとともに他方の発振器が発振を開始する。

【００５６】図８に示すように、可変発振器８０５及び８１１のそれぞれの出力はプール否定論理和ゲート８１７に供給される。そして、プール否定論理和ゲート８１７の出力は、図７の７１７に示す周期波形となり、入来信号７０１（図７）からの抽出情報として用いられる。尚、プール否定論理和ゲート８１７の代わりにプール否定論理積ゲート等の他の論理素子を用いる手法は、本技術分野の通常の当業者には容易に考えられるものである。

【００５７】又、ここに説明した機能と同一の機能を行う別の回路の設計手法についても、本技術分野の通常の当業者には容易に考えられるものである。

【００５８】４．直接周波数調整を用いた実施例：図１２は、上に述べた形式の発振器の周波数調整を行うための手段を有する本発明の実施例を示すブロック図である。この実施例としての周期波形発生装置は、導線１２０３上を入来した入来信号（又は単に、入来信号１２０３）を入力として受け入れる。この入来信号１２０３は、送信装置１０１（図１）において既知の周波数のクロックによって定義される周期間隔においてその状態が変化するような特性を有する。

【００５９】実質上全ての点において、図１２の実施例は図４及び図８の実施例と同様に作動する。その上、図１２の実施例においては、プール否定論理和ゲート１２１７から導線１２１９上に出力された「リカバーされたクロック」１２１９を利用して、位相固定ループ１２４１によって直接的に周波数調整を行う。

【００６０】図１２の実施例は、半導体メーカーが図４の実施例をそのメーカーの許容寸法範囲以内に製作することが困難な場合に有利である。図１２の実施例は、単一の集積回路上に製作すると有利であるが、そうしなければならないということはない。

【００６１】５．単一発振器を用いた実施例：図１３は、上に述べた形式の発振器の周波数調整を行うための手段を有する本発明の実施例を示すブロック図である。この実施例としての周期波形発生装置は、送信装置１０１（図１）において既知の周波数のクロックによって定義される周期間隔においてその状態が変化するような特性を有する入来信号を入力として受け入れる。

【００６２】図１３の実施例においては、エッジ検出器１３０１及び１３０５並びにプール否定論理和ゲート１３１３を用いて、可変発振器１３１５の「オン」「オフ」交互切換を行う。図１３の実施例は、可変発振器１３１５の周波数を調整するための手段１３２１を組み込んで製作でき、又特定の用途に左右されない。周波数調整手段（例えば位相固定ループ）を利用することによって、「リカバーされたクロック」の精度を改善できるの

で有利である。

【0063】6．単一発振器を用いた実施例：図14は、上に述べた形式の発振器の周波数調整を行うための手段を有する本発明の実施例を示すブロック図である。この実施例としての周期波形発生装置は、送信装置101（図1）において既知の周波数のクロックによって定義される周期間隔においてその状態が変化するような特性を有する入来信号を入力として受け入れる。

【0064】図14の実施例においては、エッジ検出器1403及び1405、プール否定論理和ゲート1411、並びにワンショット装置1415を用いて、可変発振器1419の「オン」「オフ」交互切換を行う。図14の実施例は、可変発振器1419の周波数を調整するための手段1423を組み込んで製作でき、又特定の用途に左右されない。周波数調整手段（例えば位相固定ループ）を利用することによって、「リカバーされたクロック」の精度を改善できるので有利である。

【0065】以上の説明は、本発明の一実施例に関するもので、この技術分野の当業者であれば、本発明の種々の変形例を考え得るが、それらはいずれも本発明の技術的範囲に包含される。尚、特許請求の範囲に記載した参照番号は発明の容易な理解のためで、その技術的範囲を制限するよう解釈されるべきではない。

【0066】

【発明の効果】以上述べたごとく、本発明によれば、複数の発振器を組み合せて、又、可変発振周波数方式の発振器を用いてクロック・リカバリー・システム回路を構成したので、入来信号のクロックを従来技術に比べてより効率よく、より正確且つ迅速に取り出すことができる。これによって、入来信号が搬送する信号をより適切に抽出することが可能となる。又、単一の集積回路上にクロック・リカバリー・システムをコンパクトに製作できるので、従来技術に比べてシステムの製造コストを顕著に節減できる。

【図面の簡単な説明】

【図1】通信システムのブロック図である。

【図2】従来技術によるディジタル通信システムに用いられる一般的なクロック及びデータ信号を示す説明図である。

【図3】従来技術によるクロック・リカバリー・システムを組み込んだ受信装置のブロック図である。

【図4】マッチした1対のゲート付き発振器を利用した本発明の実施例を示すブロック図である。

【図5】図4に示す実施例についての論理概略図の例である。

【図6】図5に示す論理概略図に対応するトランジスタの概略図の例である。

【図7】図4に示す実施例に付随する一般的なタイミング説明図である。

【図8】間接周波数調整を利用した本発明の実施例を示すブロック図である。

【図9】図8の実施例の回路において有用なゲート付き可変周波数発振器の一例についての論理概略図及びトランジスタ概略図である。

【図10】図8の実施例の回路において有用な位相検出装置の一例についての論理概略図及びトランジスタ概略図である。

【図11】図8の実施例の回路において有用な従来技術のループフィルタの一例についての論理概略図及びトランジスタ概略図である。

【図12】直接周波数調整を利用した本発明の実施例を示すブロック図である。

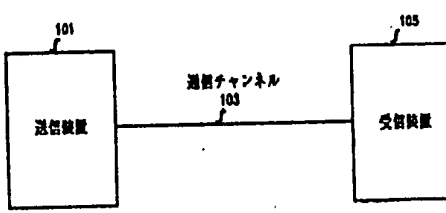
【図13】単一可変周波数発振器を利用した本発明の実施例を示すブロック図である。

【図14】単一可変周波数発振器を利用した本発明の実施例を示すブロック図である。

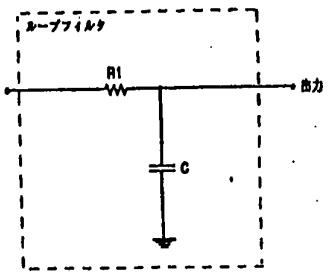
【符号の説明】

101　送信装置
103　通信チャンネル
105　受信装置
201　クロック
207　情報搬送信号についての一般的波形の例
211　安定期間
213　移行期間
307　データ抽出装置
311　クロック・リカバリー・システム
401　周期波形発生装置
405、411、505、511、605、611　ゲート付き発振器
407、507、607、807　インバータ
417、517、617、817、1217、1313、1411　プール否定論理和ゲート
805、811、823、1205、1215、1315、1419　ゲート付き可変周波数発振器（可変発振器）
825、1225　カウンタ（オプション）
827、1227　位相検出器
829、1229　ループフィルタ
831、1231　基準周期波形
841　位相固定ループ
1301、1305、1403、1405　エッジ検出器
1321　周波数調整手段
1415　ワンショット装置

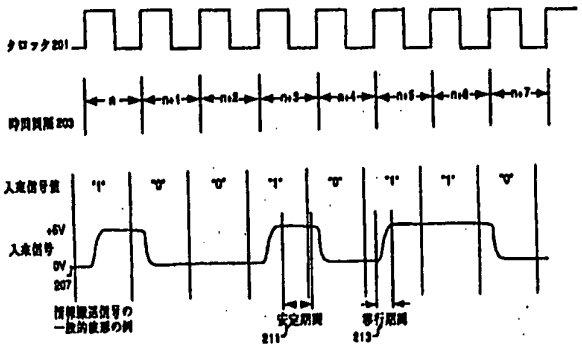
【図1】



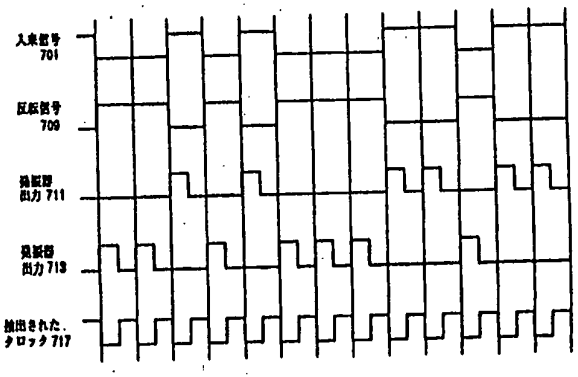
【図11】

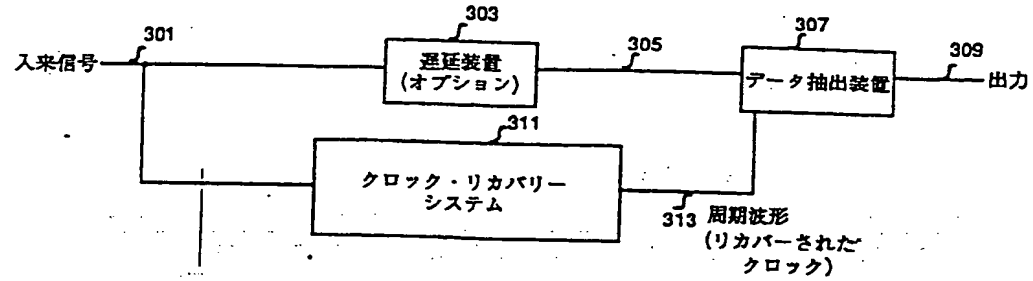


【図2】

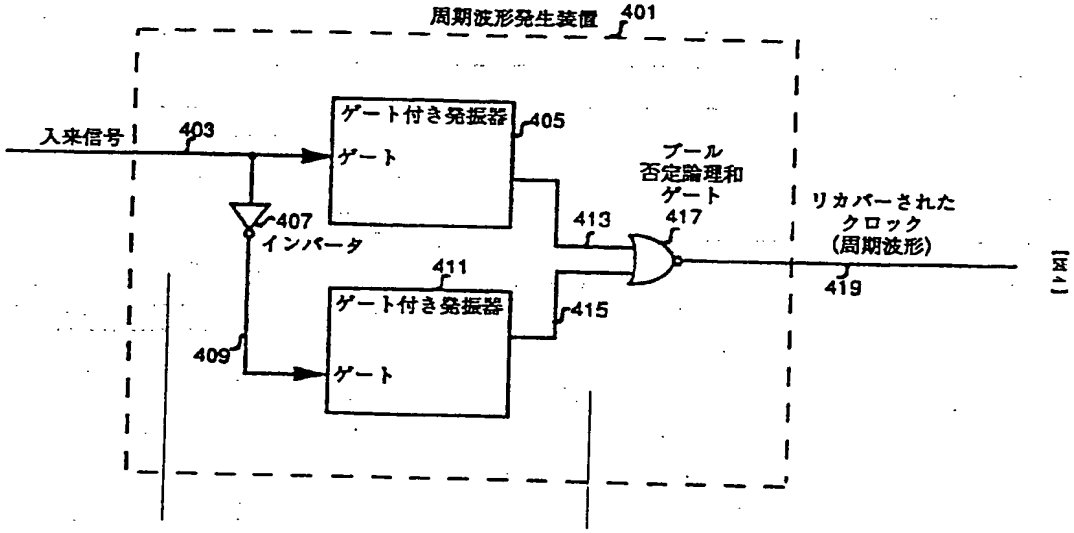


【図7】

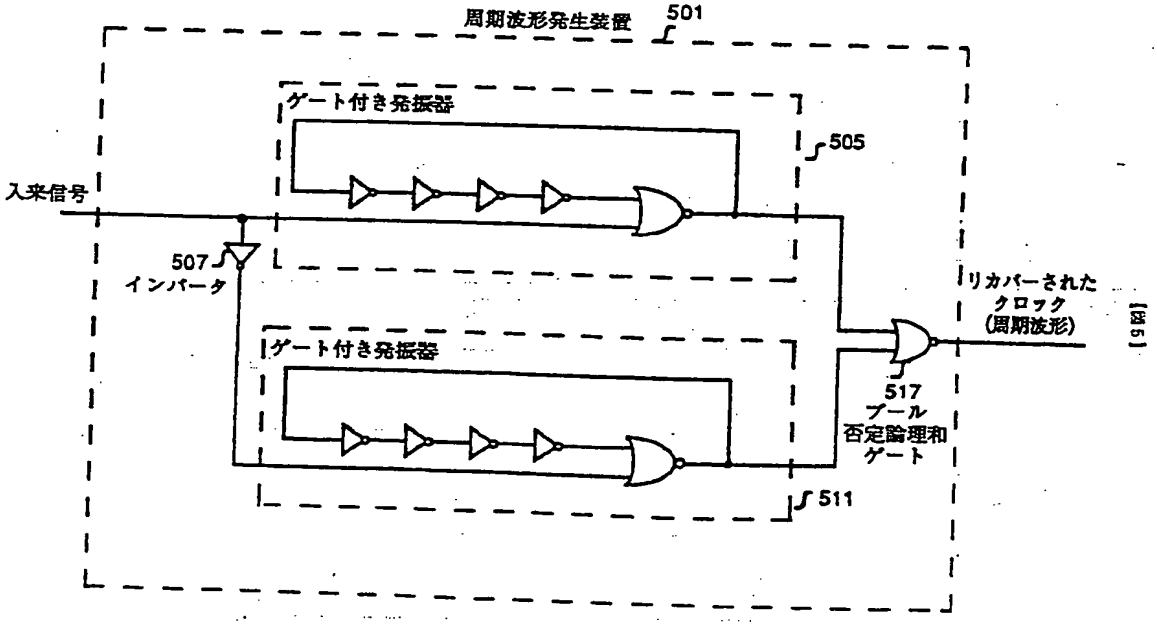



303
301
入来信号
遅延装置
(オプション)
305
307
データ抽出装置
309
出力
311
クロック・リカバリー
システム
313 周期波形
(リカバーされた
クロック)

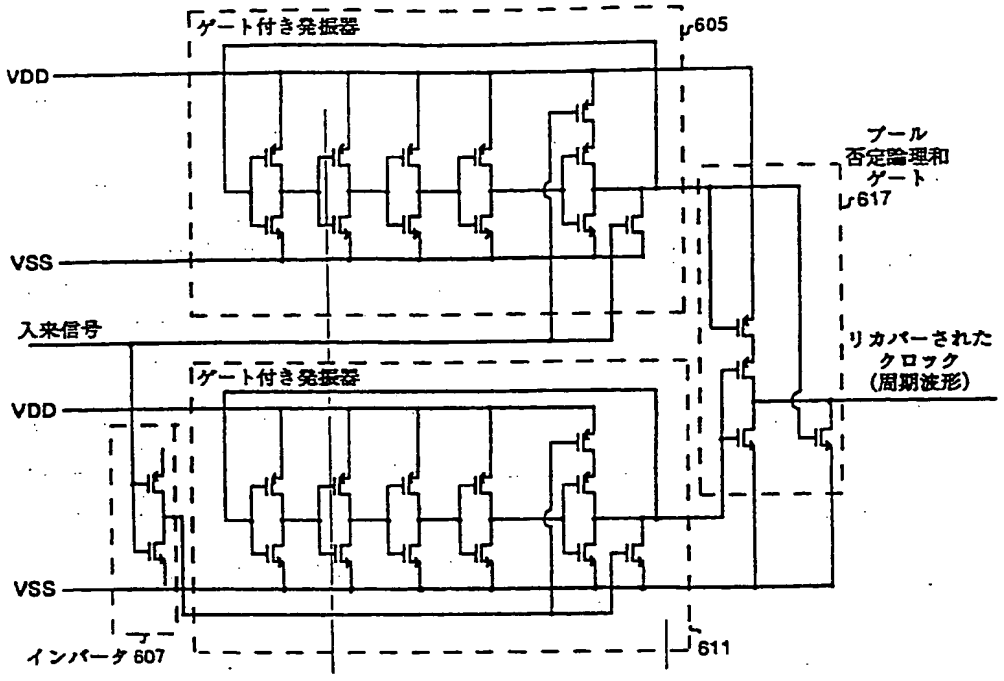
【図3】


周期波形発生装置 401
入来信号
403
ゲート付き発振器
405
ゲート
407
インバータ
409
411
ゲート付き発振器
ゲート
413
415
プール
否定論理和
ゲート
417
リカバーされた
クロック
(周期波形)
419

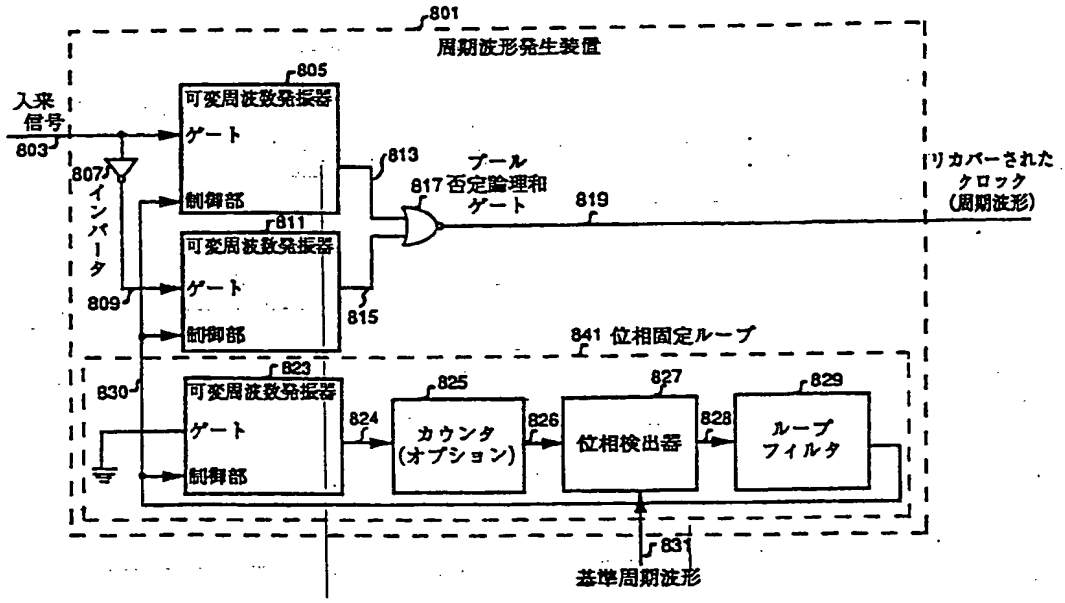
【図4】


周期波形発生装置 501
ゲート付き発振器
505
入来信号
507
インバータ
ゲート付き発振器
511
517
プール
否定論理和
ゲート
リカバーされた
クロック
(周期波形)

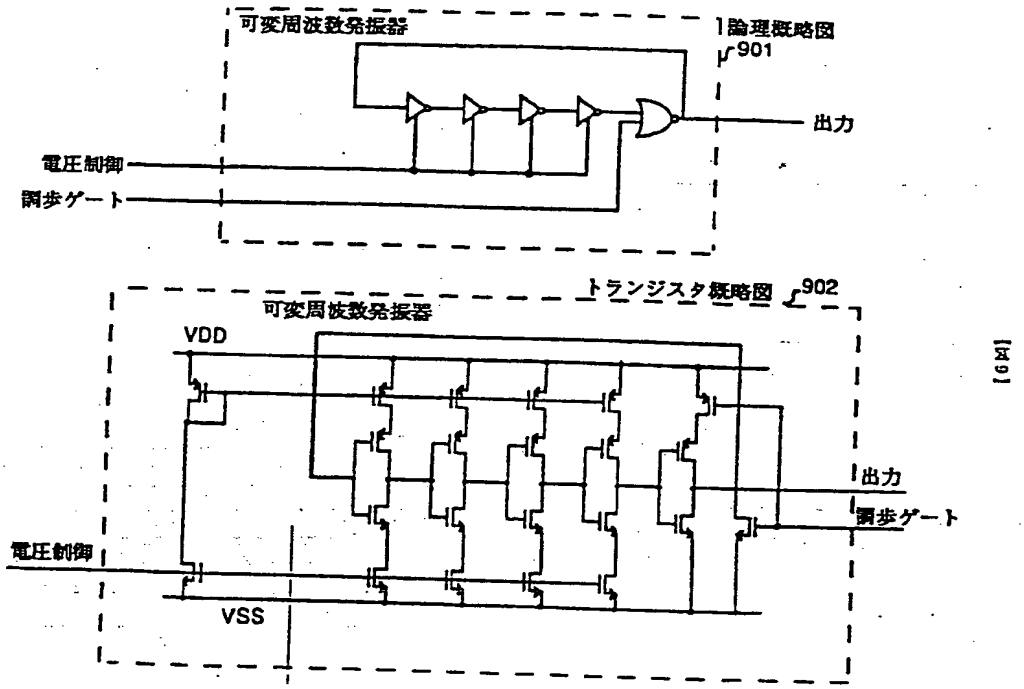
【図5】


ゲート付き発振器
605
VDD
VSS
プール
否定論理和
ゲート
617
入来信号
リカバーされた
クロック
(周期波形)
ゲート付き発振器
VDD
VSS
インバータ 607
611

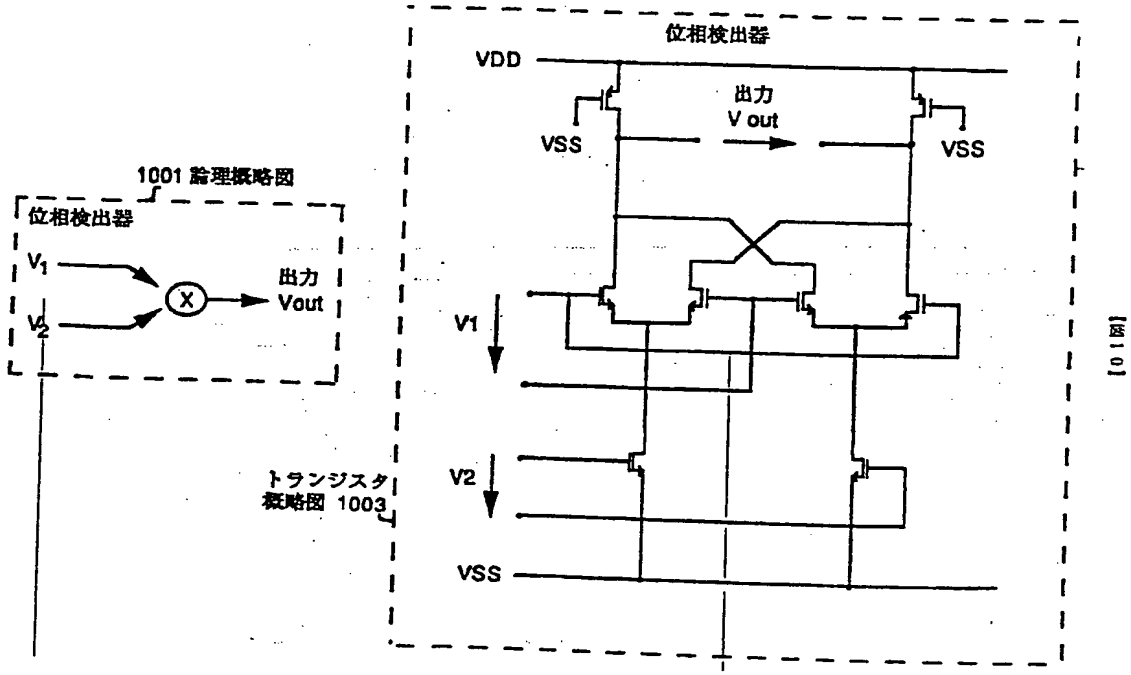
【図6】


801
周期波形発生装置
805
可変周波数発振器
入来
信号
803
ゲート
制御部
807
インバータ
809
813
プール
817 否定論理和
ゲート
819
リカバーされた
クロック
(周期波形)
811
可変周波数発振器
ゲート
制御部
815
841 位相固定ループ
823
可変周波数発振器
830
ゲート
制御部
824
825
カウンタ
(オプション)
826
827
位相検出器
828
829
ループ
フィルタ
831
基準周期波形

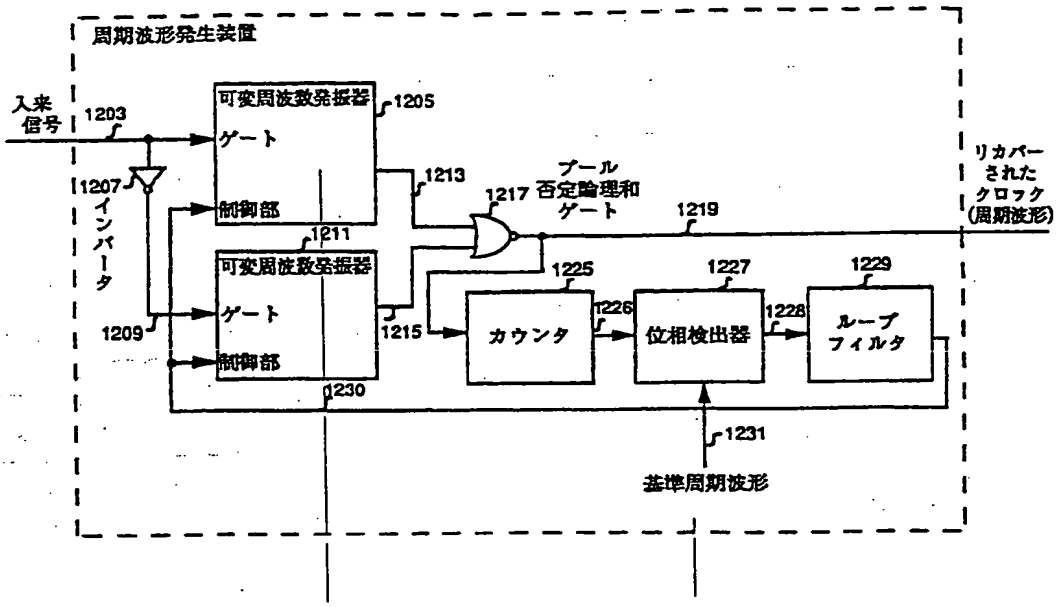
【図8】


可変周波数発振器
論理概略図
901
出力
電圧制御
調歩ゲート
トランジスタ概略図
902
可変周波数発振器
VDD
出力
調歩ゲート
電圧制御
VSS

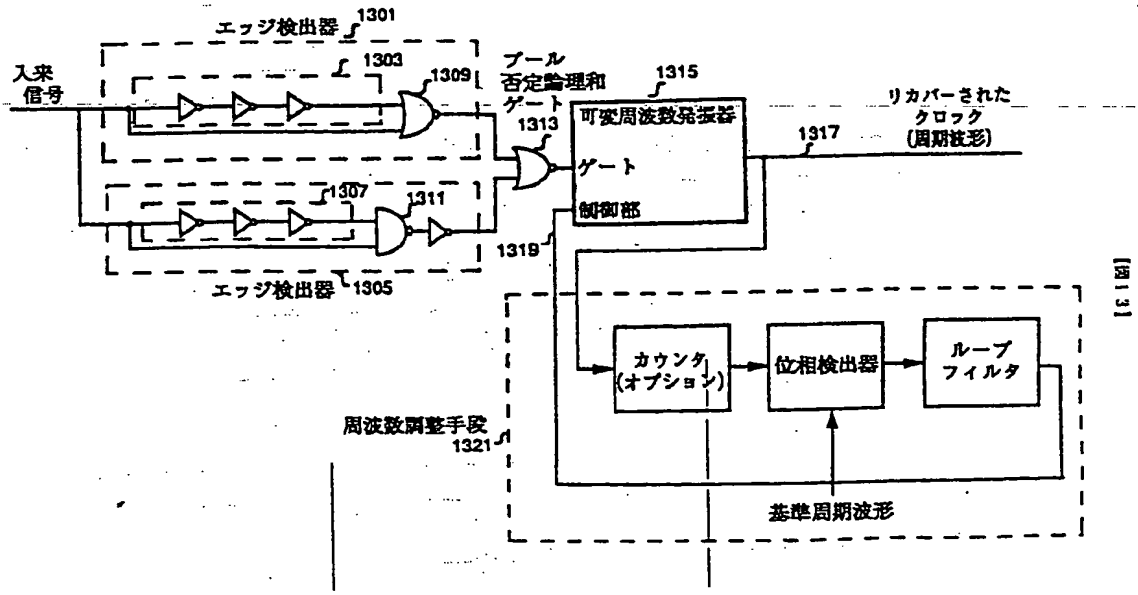
[図9]


位相検出器
VDD
出力
V out
VSS
VSS
1001 論理概略図
位相検出器
V1
出力
Vout
V2
V1
V2
トランジスタ
概略図 1003
VSS

[図10]

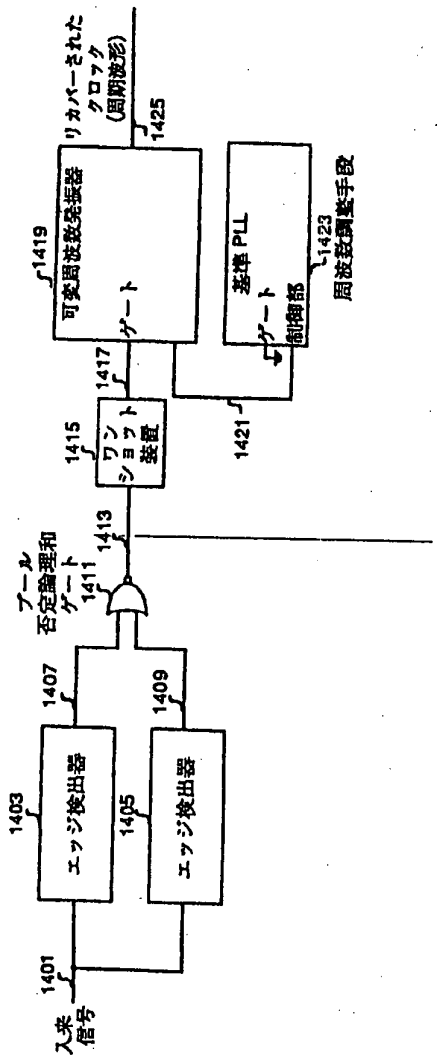

周期波形発生装置
入来信号
1203
可変周波数発振器
1205
ゲート
制御部
1207
インバータ
1209
1211
可変周波数発振器
ゲート
制御部
1213
1215
1217
ブール否定論理和ゲート
1219
リカバーされたクロック(周期波形)
1225
カウンタ
1226
1227
位相検出器
1228
1229
ループフィルタ
1230
1231
基準周期波形

[図12]


エッジ検出器
1301
入来信号
1303
1309
ブール否定論理和ゲート
1315
可変周波数発振器
ゲート
制御部
1313
1317
リカバーされたクロック(周期波形)
1307
1311
1319
エッジ検出器
1305
カウンタ(オプション)
位相検出器
ループフィルタ
周波数調整手段
1321
基準周期波形

[図13]

【図１４】



フロントページの続き

(72)発明者　ミハイ　パヌー
アメリカ合衆国　07974　ニュージャージー　マーレーヒル、フルフリアン　ロード　22

(72)発明者　アルフレッド　アール　ダンロップ
アメリカ合衆国　07974　ニュージャージー　マーレーヒル、ハンタードン　プルヴァード　91

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☑ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.